

⑯ 日本国特許庁 (JP) ⑮ 特許出願公開  
 ⑰ 公開特許公報 (A) 昭55-159604

⑤Int. Cl.<sup>3</sup>  
 H 03 F 3/50  
 H 01 L 27/06  
 29/76

識別記号 庁内整理番号  
 6832-5J  
 6426-5F  
 6603-5F

④公開 昭和55年(1980)12月11日  
 発明の数 1  
 審査請求 未請求

(全 4 頁)

⑥相補型ソース・フォロワ

②特 願 昭54-68266

②出 願 昭54(1979)5月31日

⑦發 明 者 中尾院治

伊丹市瑞原4丁目1番地三菱電

機株式会社エル・エス・アイ開  
発センタ内

⑧出 願 人 三菱電機株式会社  
東京都千代田区丸の内2丁目2  
番3号

⑨代 理 人 弁理士 葛野信一 外1名

### 明細書

#### 1. 発明の名称

相補型ソース・フォロワ

#### 2. 特許請求の範囲

正の電源線にドレインが接続されたnチャネルMOSトランジスタもしくはpチャネル・ジャンクション電界効果トランジスタと、このトランジスタのソースにソースが接続されドレインが負の電源線に接続されたpチャネルMOSトランジスタもしくはpチャネル・ジャンクション電界効果トランジスタと、前記両トランジスタのゲートに接続された入力端子と、前記両トランジスタのソースに接続された出力端子とを備えたことを特徴とする相補型ソース・フォロワ。

#### 3. 発明の詳細な説明

本発明は相補型のソース・フォロワに関するものであり、特に、従来の真空管のカソード・フォロワ、バイポーラ・トランジスタのエミッタ・フォロワ、MOSトランジスタもしくはジャンクション電界効果トランジスタのソース・フォロワと

呼ばれる回路に対し、いわゆる相補型の構成をとりうるMOSトランジスタおよびジャンクション電界効果トランジスタを用いて相補型ソース・フォロワを提供するものである。

以下、MOSトランジスタのソース・フォロワを代表例として説明する。

従来のMOSトランジスタのソース・フォロワは第1図に示す如く、電源線(1)にMOSトランジスタ(以下MOS Tと略す)(Q1)のドレインが接続され、MOS T(Q1)のソースに抵抗(R1)および出力端子(2)が接続され、抵抗(R1)の他の一端に接地線(3)が接続され、MOS T(Q1)のゲートに入力端子(4)が接続されている。

従来の第1図のソース・フォロワの動作原理を第2図を用いて説明する。第2図は第1図の回路の負荷特性曲線を示し、横軸は出力端子(3)の電位を示し、縦軸は電流を示し、直線(5)は抵抗(R1)を流れる電流を示し、曲線(6)は入力端子(4)の電位がVI<sub>1</sub>の時のMOS T(Q1)を流れる電流を、曲線(7)は同じくVI<sub>2</sub>の時の電流をそれぞれ示し、出

力端子(2)が開放の時、直線(5)と曲線(6)及び(7)の交点(P<sub>1</sub>)、(P<sub>2</sub>)を安定点とし、各交点の電位V<sub>Q1</sub>、V<sub>Q2</sub>が出力端子(2)の電位を示す。ここでMOST(Q1)はnチャネル型、pチャネル型のいずれでも良く、またエンハンスメント型、デブリーシヨン型のいずれでも良いが、説明を単純化するためnチャネル型かつスレッショルド電圧が0Vで、さらにいわゆるバツク・ゲート効果によるスレッショルド電圧変化が零として示す。この場合、電源電圧V<sub>DD</sub>は正であり、pチャネル型の場合V<sub>DD</sub>は負である。直線(5)は出力端子(2)の電位がV<sub>DD</sub>の時、抵抗(R1)の値をR<sub>1</sub>とすると電流がV<sub>DD</sub>/R<sub>1</sub>であり、0Vの時電流が零であることより求められ、曲線(6)、(7)はMOSTの最も簡単な式(1)より求められ、横軸上、それぞれV<sub>I1</sub>、V<sub>I2</sub>の点を頂点とする放物線で示され、その形状は互いに平行移動して一致することは明らかである。

$$\begin{aligned} I_{DS} &= \beta [ (V_{GS}-V_T)V_{DS} - 1/2 V_{DS}^2 ] ; V_{GS}-V_T > V_{DS} \text{ の時} \\ I_{DS} &= 1/2\beta (V_{GS}-V_T)^2 ; V_{GS}-V_T \leq V_{DS} \text{ の時} \\ &\dots\dots \quad (1) \end{aligned}$$

(3)

従来のものの欠点を以下に示す。第2図において、まず第1に、△V<sub>I1</sub> < △V<sub>I2</sub> と第1図の入力端子(4)の電位が高くなるにつれて出力端子(2)の電位との差が大となる傾向があること、第2に出力端子(2)に低インピーダンスの外部回路が接続されることにより、点P<sub>1</sub>、P<sub>2</sub>から離れんとするのを復元する力としての電流は、入力端子(4)の電位が低いほど小さくなる傾向がある。すなわち第1図の従来の回路は上記インピーダンス変換回路として用いる場合に、信号電位が高い時上記第1の原因による誤差が大となり、低い所では上記第2の原因による誤差が大となる欠点がある。

本発明は上記の従来のものの欠点を除去するためになされたもので、相補型MOSTで構成することにより、信号電位に依存しないインピーダンス変換回路としての相補型ソース・フォロワを提供することを目的としている。

本発明の相補型ソース・フォロワは第3図に示す如く電源線(1)にnチャネル・デブリーシヨン型MOST(Q1)のドレインが接続され、出力端子(2)

(5)

但し  $I_{DS}$  : ソース・ドレイン間電流  
 $V_{GS}$  : ゲート・ソース間電圧  
 $V_{DS}$  : ドレイン・ソース間電圧  
 $V_T$  : スレッショルド電圧

第2図において、第1図の従来の回路の入力端子(4)の電位がV<sub>I1</sub>なる時について従来の回路の特徴を説明すると、電位V<sub>Q1</sub>の左側ではMOST(Q1)を流れる電流が抵抗(R1)を流れる電流より大となり、V<sub>Q1</sub>より右側では小となるので、曲線(6)に矢印を付した如く点P<sub>1</sub>が安定点となるように働く。この図では説明の都合上上記V<sub>Q1</sub>とV<sub>I1</sub>の差△V<sub>I1</sub>を大きく示しているが、MOST(Q1)の式(1)におけるβを充分大とすれば、△V<sub>I1</sub>は充分小さくできる。このような性質を利用して、第1図の従来の回路は、入力端子(4)の高インピーダンスの入力電位V<sub>I1</sub>を出力端子(2)に低インピーダンスの、V<sub>I1</sub>に非常に近い出力電位V<sub>Q1</sub>に変換するインピーダンス変換回路として用いられる。この入力電位V<sub>I1</sub>は0VからV<sub>DD</sub>の任意の電位について上記の説明ができる。

(4)

にMOST(Q1)のソースおよびpチャネル・デブリーシヨン型MOST(Q2)のソースが接続され、MOST(Q2)のドレインに接地線(3)が接続され、MOST(Q1)、(Q2)のゲートに入力端子(4)が接続されている。

本発明の第3図の相補型ソース・フォロワの動作原理を第4図の負荷特性曲線によって説明する。従来のものの説明と同様に第3図の入力端子(4)の電位の低いV<sub>I1</sub>と高いV<sub>I2</sub>の任意の2点につき比較考察するに、第4図の横軸は第3図の出力端子(2)の電位を示し、縦軸は電流を示し、曲線(5a)は入力端子(4)の電位がV<sub>I1</sub>の時のMOST(Q2)を流れる電流を示し、曲線(5b)は入力端子(4)の電位がV<sub>I2</sub>の時のMOST(Q2)を流れる電流を示し、曲線(6)は入力端子(4)の電位がV<sub>I1</sub>の時のMOST(Q1)を流れる電流を示し、曲線(7)は入力端子(4)の電位がV<sub>I2</sub>の時のMOST(Q1)を流れる電流を示す。ここでMOST(Q1)がnチャネル・デブリーシヨン型でスレッショルド電圧がV<sub>TN</sub>であること、MOST(Q2)がpチャネル・デブリーシヨン型で

(6)

スレッショルド電圧が  $V_{TP}$  であることに注意して MOST の式(1)に当てはめると、曲線(5a), (5b), (6)および(7)はそれぞれ横軸上  $VI_1 - |V_{TP}|$ ,  $VI_2 - |V_{TP}|$ ,  $VI_1 + |V_{TN}|$ ,  $VI_2 + |V_{TN}|$  の点を頂点とする放物線で示され、曲線(5a)と(5b)とは、また曲線(6)と(7)とは互に平行移動して一致することは明らかである。このことは入力端子(4)の任意の 2 電位  $VI_1$ ,  $VI_2$  につき、MOST (Q1), (Q2) に流れる電流につき成立するから、O.V 及び電源電圧  $V_{DD}$  付近をのぞく入力端子(4)の任意の電位につき、上記のことは成立すると云える。さらに第 4 図で出力端子(2)の電位が  $VI_1$  の時に曲線(5a)と(6)が交わり、 $VI_2$  の時に曲線(5b)と(7)が交わるよう MOST (Q1) と (Q2) のサイズを設計時点で決めておくと、出力端子(2)が開放の時それぞれの交点  $P_1$ ,  $P_2$  を安定点とし、出力端子(2)の電位  $V_{Q1}$ ,  $V_{Q2}$  はそれぞれ  $VI_1$ ,  $VI_2$  になる。点  $P_1$  を代表させて安定条件を考えると、点  $P_1$  から左側にそれほど曲線(6)の方が曲線(5a)より大となり、その差が増して出力端子(2)の電位

(7)

は入力端子(4)の電位に依存しない。

なお、上記実施例において、電源線(1)は正の電源線を意味するものであり、また接地線(3)はこれを負の電源線と考えても良いものである。

以上のように、本発明のソース・フォロワによれば、n チャネル MOS トランジスタもしくは p チャネル・ジャンクション電界効果トランジスタと、p チャネル MOS トランジスタもしくは n チャネル・ジャンクション電界効果トランジスタを電源線と接地線間に直列に接続し、両トランジスタのゲートを入力端子、両トランジスタのソースを出力端子として相補型ソース・フォロワを構成することにより、無負荷時の入出力端子の電位差を O.V にでき、かつ特性が入力端子の電位に依存しないソース・フォロワを構成できる効果がある。

#### 4. 図面の簡単な説明

第 1 図は従来のソース・フォロワの回路図、第 2 図はこの従来のソース・フォロワの負荷特性曲線を示す図、第 3 図は本発明の一実施例による相補型ソース・フォロワの回路図、第 4 図は第 3 図

特開昭 55-159604 (3)

を点  $P_1$  に近づける方向に働く。逆に点  $P_1$  から右側にそれほど曲線(5a)の方が曲線(6)より大となり、その差が増して出力端子(2)の電位を点  $P_1$  に近づける方向に働くので、出力端子(2)に外部負荷が接続されて上記の無負荷時の安定点  $P_1$  からそれようとしても、上記の電流値の差が出力端子(2)の電位が  $VI_1$  からそれほど大となるため、 $VI_1$  に合わせて近い新たな安定点に落ちつくことは従来のものと同様である。

本発明の効果を以下に示す。

以上の説明からわかるように従来の 2 つの欠点が除去されている。すなわちまず第 1 に、従来のものでは原理的に無負荷時の入力端子(4)と出力端子(2)の電位差を O.V に出来なかつたが、本発明では第 4 図より明らかな如く両者を一致させることが可能である。第 2 に従来のものでは外部負荷による擾乱を抑えて無負荷時の安定点にもどそうとする復元力としての MOST (Q1) と抵抗 (R1) の電流値の差が入力端子(4)の電位の低い所で小さくなる傾向が有つたが、本発明ではその電流値の差

(8)

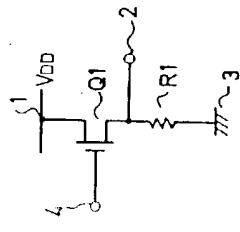
の相補型ソース・フォロワの負荷特性曲線を示す図である。

(Q1) … n チャネル MOS トランジスタもしくは n チャネル・ジャンクション電界効果トランジスタ、(Q2) … p チャネル MOS トランジスタもしくは p チャネル・ジャンクション電界効果トランジスタ、(1) … 正の電源線、(2) … 出力端子、(3) … 負の電源線としての接地線、(4) … 入力端子。

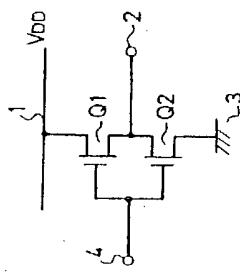
なお、図中同一符号は同一又は相当部分を示す。

代理人 葛野信一 (外 1 名)

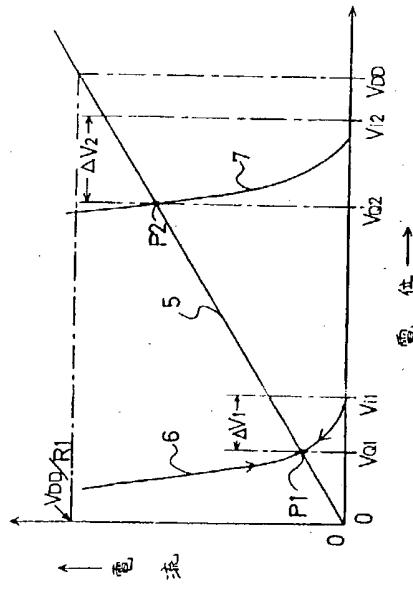
第 1 図



第 3 図



第 2 図



第 4 図

